



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Wakako MORIYAMA, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICES USING THERMAL NITRIDE FILMS
AS GATE INSULATING FILMS

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	11-272322	September 27, 1999

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
(B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland

Registration Number 21,124



22850

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

Jc806 U.S. PTO
09/670520
09/26/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 1 9 9 9 年 9 月 2 7 日

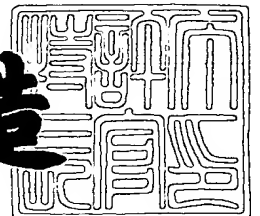
出 願 番 号
Application Number: 平成 1 1 年 特 許 願 第 2 7 2 3 2 2 号

出 願 人
Applicant (s): 株式会社東芝
東芝マイクロエレクトロニクス株式会社

2 0 0 0 年 9 月 1 日

特 許 庁 長 官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特 2 0 0 0 - 3 0 7 0 7 0 3

【書類名】 特許願

【整理番号】 A009903934

【提出日】 平成11年 9月27日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/10

【発明の名称】 半導体装置の製造方法

【請求項の数】 8

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

【氏名】 森山 和歌子

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

【氏名】 甲斐 直樹

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

【氏名】 間 博顕

【発明者】

【住所又は居所】 神奈川県川崎市川崎区駅前本町 2 5 番地 1 東芝マイクロエレクトロニクス株式会社内

【氏名】 永井 圭希

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

【氏名】 深澤 雄二

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

浜事業所内

【氏名】 佐喜 和朗

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横

浜事業所内

【氏名】 小澤 良夫

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横

浜事業所内

【氏名】 水津 康正

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【特許出願人】

【識別番号】 000221199

【氏名又は名称】 東芝マイクロエレクトロニクス株式会社

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705037

【包括委任状番号】 9105411

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 半導体基板上にオキシナイトライド化したゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上にゲート電極を形成する工程と、

前記半導体基板中に、前記ゲート電極を挟むように拡散層を形成する工程と、

前記拡散層上のゲート絶縁膜を剥離する工程と

を具備することを特徴とする半導体装置の製造方法。

【請求項 2】 半導体基板上にオキシナイトライド化したゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上にゲート電極を形成する工程と、

前記半導体基板中に、前記ゲート電極を挟むように拡散層を形成する工程と、

前記拡散層上のゲート絶縁膜を剥離する工程と、

前記拡散層上に絶縁膜を形成する工程と

を具備することを特徴とする半導体装置の製造方法。

【請求項 3】 半導体基板上にオキシナイトライド化したゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上にゲート電極を形成する工程と、

前記半導体基板中に、前記ゲート電極を挟むように拡散層を形成する工程と、

前記拡散層上のゲート絶縁膜を剥離する工程と、

前記拡散層上にオキシナイトライド膜を形成する工程と

を具備することを特徴とする半導体装置の製造方法。

【請求項 4】 前記拡散層上のゲート絶縁膜を剥離する工程は、ホットリン酸、フッ酸とグリセロールの混合溶液、フッ酸とエチレングリコールの混合溶液、フッ酸とエチレングリコールモノエチルエーテルの混合溶液及びフッ酸 V a p o r の少なくともいずれか 1 つを用いて行われることを特徴とする請求項 1 乃至 3 いずれか 1 つの項に記載の半導体装置の製造方法。

【請求項 5】 前記拡散層上のゲート絶縁膜を剥離する工程は、等方性エッ

チングで行われることを特徴とする請求項 1 乃至 3 いずれか 1 つの項に記載の半導体装置の製造方法。

【請求項 6】 半導体基板上にオキシナイトライド化したゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上にゲート電極を形成する工程と、

前記半導体基板中に、前記ゲート電極を挟むように拡散層を形成する工程と、

前記ゲート電極及び拡散層上を 9 5 0℃以上のウェット酸化法で酸化することにより、前記ゲート電極下のゲート絶縁膜中の窒素濃度より、前記拡散層上のゲート絶縁膜中の窒素濃度を低減する工程と

を具備することを特徴とする半導体装置の製造方法。

【請求項 7】 半導体基板上にオキシナイトライド化したゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上にゲート電極を形成する工程と、

前記半導体基板中に、前記ゲート電極を挟むように拡散層を形成する工程と、

前記ゲート電極及び拡散層上を 9 5 0℃以上のウェット酸化法／酸水素燃焼酸化法で酸化することにより、前記ゲート電極下のゲート絶縁膜の窒素濃度より、拡散層上のゲート絶縁膜中の窒素濃度を低減する工程と

を具備することを特徴とする半導体装置の製造方法。

【請求項 8】 半導体基板上にオキシナイトライド化したゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上にゲート電極を形成する工程と、

前記半導体基板中に、前記ゲート電極を挟むように拡散層を形成する工程と、

前記拡散層上に後酸化膜を形成する工程と、

前記拡散層上の後酸化膜上に、オキシナイトライド膜を形成する工程と

を具備することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、熱窒化膜を第 1 絶縁膜とする不揮発性のメモリセルや MOS トラ

ンジスタ等の半導体装置の製造方法に関し、例えばNANDセル型EEPROM（電氣的消去、書き込み可能な半導体メモリ）のセルトランジスタに適用されるものである。

【0002】

【従来の技術】

図35はNANDセル型EEPROM（NANDセル型フラッシュメモリ）のセルアレイ構造を示すパターン平面図、図36はその等価回路図である。すなわち、フローティングゲートとコントロールゲートとの積層ゲート構造を有するnチャネル型MOSFETからなる複数個のセルトランジスタCG1～CGnの電流通路が直列に接続され、一端側のドレインが選択用のnチャネル型MOSトランジスタQ1を介してビット線BLi（i=1, 2, …）に、他端側のソースが選択用のnチャネル型MOSトランジスタQ2を介してソース線（接地点）SLにそれぞれ接続されている。上記各トランジスタは同一のウェル領域上に形成されており、セルトランジスタCG1～CGnのコントロールゲートは行方向に連続的に配列されたワード線WL1～WLnに接続され、選択トランジスタQ1のゲートは選択線SG1に、選択トランジスタQ2のゲートは選択線SG2にそれぞれ接続されている。また、ワード線WL1～WLnの一端は、A1配線を介して周辺回路との接続パッドを有しており素子分離領域上に形成された構造になっている。

【0003】

次に、上記図35に示したパターン平面図におけるA-A'線に沿った断面に対応する図37乃至図43をもとに、NANDセル型フラッシュメモリにおけるセルアレイの製造工程の概要について説明する。

【0004】

まず、シリコン基板1上に、熱酸化法を用いて厚さ7nmのシリコン酸化膜2を形成する（図37）。上記シリコン酸化膜2をNH₃ガスを用いて窒化した後、酸化することでオキシナイトライド膜3とする（図38）。このオキシナイトライド膜3は第1ゲート絶縁膜として働き、一般にトンネル酸化膜と称される。このオキシナイトライド膜3上に、LPCVD法を用いて不純物としてリンが添

加された厚さ 200 nm の多結晶シリコン膜 4 を形成する。この多結晶シリコン膜 4 は、第 1 ゲート電極となる。一般に、この多結晶シリコン膜 4 はフローティングゲートと呼ばれる。続いて、このフローティングゲート 4 上に LPCVD 法を用いて膜厚 120 nm の第 2 ゲート絶縁膜 5 を形成する。次に、この第 2 ゲート絶縁膜 5 上に LPCVD 法を用いて不純物としてリンが添加された多結晶シリコン膜 6 を形成する。この多結晶シリコン膜 6 は第 2 ゲート電極となり、一般にコントロールゲートと称される。上記多結晶シリコン膜 6 上に、LPCVD 法で酸化膜 7 を形成する（図 3 9）。更に、上記酸化膜 7 上にフォトレジスト 8 を塗布し、写真蝕刻法を用いて酸化膜 7 を所望のパターンに加工する（図 4 0）。続いて、フォトレジスト 8 を除去する。上記酸化膜 7 をマスクにして RIE（Reactive Ion Etching）法などのドライエッチング法を用いて垂直方向にエッチングし、コントロールゲート 6、第 2 ゲート絶縁膜 5、及びフローティングゲート 4 を順次形成する（図 4 1）。そして、ゲート端でのリーク電流を抑制し、高耐圧の周辺回路用 MOS トランジスタのサーフェイス耐圧、すなわちゲート絶縁膜 5、3 の耐圧を向上させるとともに、RIE によりゲート電極 6、4 を介してゲート酸化膜 5、3 に生成されたダメージを回復させるなどの目的で、熱酸化法を用いてシリコン酸化膜 9 を形成する（図 4 2）。一般に、この酸化工程は後酸化工程と呼ばれ、この際に形成される酸化膜 9 は後酸化膜と称される。この後酸化膜 9 を形成した後、ソース、ドレイン領域 10 を形成するためにイオン注入によって不純物をシリコン基板 1 中に打ち込み、熱アニールにより活性化させてセルトランジスタを形成する（図 4 3）。

【0005】

しかし、上記のようなオキシナイトライド膜 3 をトンネル酸化膜に用いた場合、トンネル酸化膜中の窒素濃度が高いため後酸化膜 9 が形成され難くなる。そのために、RIE でトンネル酸化膜に生じたダメージが回復しない。更に、図 4 4 に示すように、フローティングゲート 4 のエッジ部近傍が酸化されず尖った状態になる。フラッシュメモリにおいては、フローティングゲート 4 中に電子が存在する状態が書き込み“0”、電子が存在しない状態が消去“1”に対応する。このように、書き込み及び消去でトンネル酸化膜を電子が双方向に行き来するため

に、トンネル酸化膜に R I E によるダメージ D が残ったままの状態では、トンネル酸化膜に電子がトラップされて電流量が低下してしまう。また、フローティングゲート 4 が後酸化の時に酸化されず角が尖った状態が残ってしまうとその部分に電界が集中しトンネル酸化膜の劣化が加速される。

【 0 0 0 6 】

【発明が解決しようとする課題】

上述したように、従来の半導体装置の製造方法では、熱窒化膜をゲート絶縁膜として用いた場合に、電極加工の時に生じたゲート絶縁膜のダメージを回復できず、ゲート絶縁膜中に電子がトラップされて電流量が低下したり、ゲート絶縁膜の一部に電界が集中して劣化が加速されるという問題があった。

【 0 0 0 7 】

この発明は、上記のような事情に鑑みてなされたもので、その目的とするところは、熱窒化膜をゲート絶縁膜として用いた場合に、ゲート電極の加工の時に生じたゲート絶縁膜のダメージにより、ゲート絶縁膜中に電子がトラップされて電流量が低下したり、ゲート絶縁膜の一部に電界が集中して劣化が加速されるのを防止できる半導体装置の製造方法を提供することにある。

【 0 0 0 8 】

また、この発明の別の目的は、後熱工程による酸化膜の形成を促進でき、メモリセルや M O S トランジスタの性能を向上させ、且つ歩留まりや信頼性を向上できる半導体装置の製造方法を提供することにある。

【 0 0 0 9 】

【課題を解決するための手段】

この発明の請求項 1 に記載した半導体装置の製造方法は、半導体基板上にオキシナイトライド化したゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程と、前記半導体基板中に、前記ゲート電極を挟むように拡散層を形成する工程と、前記拡散層上のゲート絶縁膜を剥離する工程とを具備することを特徴としている。

【 0 0 1 0 】

また、この発明の請求項 2 に記載した半導体装置の製造方法は、半導体基板上

にオキシナイトライド化したゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程と、前記半導体基板中に、前記ゲート電極を挟むように拡散層を形成する工程と、前記拡散層上のゲート絶縁膜を剥離する工程と、前記拡散層上に絶縁膜を形成する工程とを具備することを特徴としている。

【0011】

この発明の請求項 3 に記載した半導体装置の製造方法は、半導体基板上にオキシナイトライド化したゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程と、前記半導体基板中に、前記ゲート電極を挟むように拡散層を形成する工程と、前記拡散層上のゲート絶縁膜を剥離する工程と、前記拡散層上にオキシナイトライド膜を形成する工程とを具備することを特徴としている。

【0012】

請求項 4 に示すように、請求項 1 乃至 3 いずれか 1 つの項に記載の半導体装置の製造方法において、前記拡散層上のゲート絶縁膜を剥離する工程は、ホットリン酸、フッ酸とグリセロールの混合溶液、フッ酸とエチレングリコールの混合溶液、フッ酸とエチレングリコールモノエチルエーテルの混合溶液及びフッ酸 V a p o r の少なくともいずれか 1 つを用いて行われることを特徴としている。

【0013】

請求項 5 に示すように、請求項 1 乃至 3 いずれか 1 つの項に記載の半導体装置の製造方法において、前記拡散層上のゲート絶縁膜を剥離する工程は、等方性エッチングで行われることを特徴としている。

【0014】

また、この発明の請求項 6 に記載した半導体装置の製造方法は、半導体基板上にオキシナイトライド化したゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程と、前記半導体基板中に、前記ゲート電極を挟むように拡散層を形成する工程と、前記ゲート電極及び拡散層上を 9 5 0 ° C 以上のウェット酸化法で酸化することにより、前記ゲート電極下のゲート絶縁膜中の窒素濃度より、前記拡散層上のゲート絶縁膜中の窒素濃度を低減する工程とを具備することを特徴としている。

【0015】

更に、この発明の請求項7に記載した半導体装置の製造方法は、半導体基板上にオキシナイトライド化したゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程と、前記半導体基板中に、前記ゲート電極を挟むように拡散層を形成する工程と、前記ゲート電極及び拡散層上を950℃以上のウェット酸化法／酸水素燃焼酸化法で酸化することにより、前記ゲート電極下のゲート絶縁膜の窒素濃度より、拡散層上のゲート絶縁膜中の窒素濃度を低減する工程とを具備することを特徴としている。

【0016】

この発明の請求項8に記載した半導体装置の製造方法は、半導体基板上にオキシナイトライド化したゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程と、前記半導体基板中に、前記ゲート電極を挟むように拡散層を形成する工程と、前記拡散層上に後酸化膜を形成する工程と、前記拡散層上の後酸化膜上に、オキシナイトライド膜を形成する工程とを具備することを特徴としている。

【0017】

請求項1のような製造方法によれば、オキシナイトライド化したゲート絶縁膜を剥離することで後酸化膜が生成しやすくなり、ゲート電極の加工時に生じたゲート絶縁膜のダメージ部を除去するので、ゲート絶縁膜中の電子のトラップを減少させることができる。

【0018】

また、請求項2のような製造方法によれば、オキシナイトライド化したゲート絶縁膜を剥離することで拡散層上の絶縁膜（後酸化膜）が生成しやすくなり、ゲート電極の加工時に生じたゲート絶縁膜のダメージ部を除去するので、ゲート絶縁膜中の電子のトラップを減少させることができる。また、拡散層上に絶縁膜を形成する際に、ゲート電極のエッジ部を丸めることもでき、電界集中を抑制できる。

【0019】

請求項3のような製造方法によれば、オキシナイトライド化したゲート絶縁膜

を剥離することで後酸化膜が生成しやすくなり、ゲート電極の加工時に生じたゲート絶縁膜のダメージ部を除去するので、ゲート絶縁膜中の電子のトラップを減少させることができる。また、拡散層上に絶縁膜を形成してからオキシナイトライド化する際に、ゲート電極のエッジ部を丸めることもでき、電界集中を抑制できる。更に、拡散層上にオキシナイトライド膜を形成することで後熱工程による劣化も抑制できる。

【 0 0 2 0 】

前記拡散層上のゲート絶縁膜を剥離する工程は、請求項 4 に示すように、ホトリン酸、フッ酸とグリセロールの混合溶液、フッ酸とエチレングリコールの混合溶液、フッ酸とエチレングリコールモノエチルエーテルの混合溶液及びフッ酸 Vapor の少なくともいずれか 1 つを用いて行うことができ、請求項 5 に示すように等方性エッチングで行うこともできる。

【 0 0 2 1 】

請求項 6 のような製造方法によれば、ゲート電極下のゲート絶縁膜中の窒素濃度より、拡散層上のゲート絶縁膜中の窒素濃度を低減することで、後酸化膜が生成しやすくなり、ゲート電極の加工時に生じたゲート絶縁膜のダメージを回復させることができる。これによって、ゲート絶縁膜中の電子のトラップを減少させることができる。また、ゲート電極のエッジ部を丸めることもでき、電界集中も抑制できる。

【 0 0 2 2 】

請求項 7 のような製造方法によれば、ゲート電極下のゲート絶縁膜中の窒素濃度より、拡散層上のゲート絶縁膜中の窒素濃度を低減することで、後酸化膜が生成しやすくなり、ゲート電極の加工時に生じたゲート絶縁膜のダメージを回復させることができる。これによって、ゲート絶縁膜中の電子のトラップを減少させることができる。また、ゲート電極のエッジ部を丸めることもでき、電界集中も抑制できる。

【 0 0 2 3 】

また、請求項 8 のような製造方法によれば、ゲート電極の加工時に生じたゲート絶縁膜のダメージを回復させることができ、ゲート絶縁膜中の電子のトラップ

を減少させることができる。また、ゲート電極のエッジ部を丸めることもでき、電界集中も抑制できる。更に、後酸化膜上にオキシナイトライド膜を形成することでゲート電極のエッジ部を丸めた後、ゲート電極のエッジ部は、窒素が抜けているため再度窒素を混入することができ、ゲート絶縁膜中の電子のトラップを減少させることができる。

【0024】

【発明の実施の形態】

以下、この発明の実施の形態について図面を参照して説明する。

【0025】

【第1の実施の形態】

本実施の形態は、NANDセル型フラッシュメモリにおけるセルトランジスタのゲート絶縁膜にオキシナイトライド膜を用いた場合に、電極（コントロールゲートとフローティングゲート）の加工後にオキシナイトライド膜を剥離するものである。

【0026】

図1乃至図8はそれぞれ、この発明の第1の実施の形態に係る半導体装置の製造方法について説明するためのもので、NANDセル型フラッシュメモリの製造工程の一部を順次示しており、図35に示したセルアレイ構造のパターン平面図におけるA-A'線に沿った断面に対応する。

【0027】

まず、シリコン基板（半導体基板）11上に、熱酸化法を用いて厚さ7nmのシリコン酸化膜12を形成する（図1）。シリコン酸化膜12をNH₃ガスを用いて窒化した後、酸化することでオキシナイトライド膜13とする（図2）。このオキシナイトライド膜13は第1ゲート絶縁膜として働き、一般にトンネル酸化膜と称される。更に、上記オキシナイトライド膜13上にLPCVD法を用いて不純物としてリンが添加された厚さ200nmの多結晶シリコン膜14を形成する。この多結晶シリコン膜14は、第1ゲート電極となる。一般にこの多結晶シリコン膜14はフローティングゲートと呼ばれる。続いて、多結晶シリコン膜14上に、LPCVD法を用いて膜厚120nmの第2ゲート絶縁膜15を形成

する。次に、第2ゲート絶縁膜15上にLPCVD法を用いて、不純物としてリンが添加された多結晶シリコン膜16を形成する。この多結晶シリコン膜16は第2ゲート電極となり、一般にコントロールゲートと称される。多結晶シリコン膜16上にLPCVD法で酸化膜17を形成する(図3)。さらに、酸化膜17上にフォトレジスト18を塗布し、写真蝕刻法を用いてこの酸化膜17を所望のパターンに加工する(図4)。続いてフォトレジスト18を除去する。酸化膜17をマスクにしてRIE(Reactive Ion Etching)法などのドライエッチング法を用いて、垂直方向にエッチングし、コントロールゲート16、第2ゲート絶縁膜15、及びフローティングゲート14を順次形成する(図5)。その後、ホットリン酸で窒素濃度の高い膜を選択的にエッチングする(図6)。これによって、フローティングゲート14下を除くオキシナイトライド膜13が除去され、シリコン基板11の主表面が露出される。そして、熱酸化法を用いてシリコン酸化膜19を形成する(図7)。この後酸化膜19を形成した後、ソース、ドレイン領域20を形成するためにイオン注入によって不純物をシリコン基板11中に打ち込み、熱アニールにより活性化させてセルトランジスタを形成する(図8)。

【0028】

本実施の形態においては、ソース、ドレイン領域(拡散層)20上のオキシナイトライド膜13をエッチングして除去するので、後酸化膜19が生成しやすくなり、コントロールゲート16とフローティングゲート14の電極加工時に生じたゲート絶縁膜13のダメージを回復させることができゲート絶縁膜13中の電子のトラップを減少させることができる。また、図9に示すように、第1ゲート電極であるフローティングゲート14のトンネル酸化膜(オキシナイトライド膜13)側のエッジ部14Aを丸めることもでき、電界集中を緩和できる。

【0029】

なお、本実施の形態では、オキシナイトライド膜13を除去する方法としてホットリン酸を用いているが、これに限られるものではなく、フッ酸とグリセロールの混合溶液、フッ酸とエチレングリコールの混合溶液、フッ酸とエチレングリコールモノエチルエーテルの混合溶液、及びフッ酸Vaporで除去しても良い。また、CDEなどの等方性エッチングでオキシナイトライド膜13をエッチン

グして除去することも可能であり、後酸化膜 1 9 の形成をウェット酸化で行う場合も同様の効果が得られる。

【0030】

〔第2の実施の形態〕

本実施の形態は、NANDセル型フラッシュメモリにおけるセルトランジスタのゲート絶縁膜にオキシナイトライド膜を用いた場合に、電極（コントロールゲートとフローティングゲート）の加工後に、オキシナイトライド膜を剥離し、新たに酸化膜を形成した後、その酸化膜をNH₃ガスを用いて窒化、続いて再酸化を行いオキシナイトライド膜にするものである。

【0031】

図10乃至図18はそれぞれ、この発明の第2の実施の形態に係る半導体装置の製造方法について説明するためのもので、NANDセル型フラッシュメモリの製造工程の一部を順次示しており、図35に示したセルアレイ構造のパターン平面図におけるA-A'線に沿った断面に対応する。

【0032】

まず、シリコン基板11上に、熱酸化法を用いて厚さ7nmのシリコン酸化膜12を形成する（図10）。シリコン酸化膜12をNH₃ガスを用いて窒化した後、酸化することでオキシナイトライド膜13とする（図11）。このオキシナイトライド膜13は第1ゲート絶縁膜（トンネル酸化膜）として働く。更に、オキシナイトライド膜13上に、LPCVD法を用いて不純物としてリンが添加された厚さ200nmの多結晶シリコン膜14を形成する。この多結晶シリコン膜14は第1ゲート電極（フローティングゲート）となる。続いて、多結晶シリコン膜14上に、LPCVD法を用いて膜厚120nmの第2ゲート絶縁膜15を形成する。次に、第2ゲート絶縁膜15上に、LPCVD法を用いて不純物としてリンが添加されて多結晶シリコン膜16を形成する。この多結晶シリコン膜16は第2ゲート電極（コントロールゲート）となる。上記多結晶シリコン膜16上に、LPCVD法で酸化膜17を形成する（図12）。更に、酸化膜17上にフォトリソ18を塗布し、写真蝕刻法を用いて酸化膜17を所望のパターンに加工する（図13）。続いて、フォトリソ18を除去する。上記酸化膜1

7をマスクにしてR I E (Reactive Ion Etching) 法などのドライエッチング法を用いて垂直方向にエッチングし、コントロールゲート16、第2ゲート絶縁膜15、及びフローティングゲート14を順次形成する(図14)。その後、ホットリン酸で窒素濃度の高い膜を選択的にエッチングする(図15)。これによって、フローティングゲート14下を除くオキシナイトライド膜13が除去され、シリコン基板11の主表面が露出される。そして、熱酸化法を用いてシリコン酸化膜19を形成する(図16)。この後酸化膜19をNH₃ガスを用いて窒化、続いて再酸化を行いオキシナイトライド膜とする(図17)。その後、ソース、ドレイン領域20を形成するためにイオン注入によって不純物をシリコン基板11中に打ち込み、熱アニールにより活性化させセルトランジスタを形成する(図18)。

【0033】

本実施の形態においては、オキシナイトライド膜13をエッチングして除去するので、後酸化膜19が生成しやすくなり、コントロールゲート16とフローティングゲート14の電極加工時に生じたゲート絶縁膜13のダメージを回復させることができる。また、図9に示したように、第1ゲート電極であるフローティングゲート14のトンネル酸化膜(オキシナイトライド膜13)側のエッジ部14Aを丸めることもでき、電界集中を緩和できる。更に、後酸化膜19をオキシナイトライド化することで後熱工程による劣化の少ないゲート絶縁膜を形成することができる。

【0034】

なお、本実施の形態では、第1の実施の形態と同様に、オキシナイトライド膜13を除去する方法としてホットリン酸を用いているが、これに限られるものではなく、フッ酸とグリセロールの混合溶液、フッ酸とエチレングリコールの混合溶液、フッ酸とエチレングリコールモノエチルエーテルの混合溶液、及びフッ酸Vaporで除去しても良い。また、CDEなどの等方性エッチングでオキシナイトライド膜13をエッチングして除去することも可能であり、後酸化膜19の形成をウェット酸化で行う場合も同様の効果が得られる。

【0035】

【第 3 の実施の形態】

本実施の形態は、NANDセル型フラッシュメモリにおけるセルトランジスタのゲート絶縁膜にオキシナイトライド膜を用いた場合に、電極（コントロールゲートとフローティングゲート）の加工後の後酸化を、高温のウェット酸化で行うものである。

【0036】

図 19 乃至図 25 はそれぞれ、この発明の第 3 の実施の形態に係る半導体装置の製造方法について説明するためのもので、NANDセル型フラッシュメモリの製造工程の一部を順次示しており、図 35 に示したセルアレイ構造のパターン平面図における A-A' 線に沿った断面に対応する。

【0037】

まず、シリコン基板 11 上に、熱酸化法を用いて厚さ 7 nm のシリコン酸化膜 12 を形成する（図 19）。シリコン酸化膜 12 を NH₃ ガスあるいは NO ガス、N₂O ガスを用いて窒化したあと、酸化することでオキシナイトライド膜 13 とする（図 20）。このオキシナイトライド膜 13 は第 1 ゲート絶縁膜（トンネル酸化膜）として働く。更に、上記オキシナイトライド膜 13 上に、LPCVD 法を用いて不純物としてリンが添加された厚さ 200 nm の多結晶シリコン膜 14 を形成する。この多結晶シリコン膜 14 は、第 1 ゲート電極（フローティングゲート）となる。続いて、多結晶シリコン膜 14 上に、LPCVD 法を用いて膜厚 120 nm の第 2 ゲート絶縁膜 15 を形成する。次に、第 2 ゲート絶縁膜 15 上に、LPCVD 法を用いて不純物としてリンが添加された多結晶シリコン膜 16 を形成する。この多結晶シリコン膜 16 は第 2 ゲート電極（コントロールゲート）となる。上記多結晶シリコン膜 16 上に、LPCVD 法で酸化膜 17 を形成する（図 21）。さらに、酸化膜 17 上にフォトレジスト 18 を塗布し、写真蝕刻法を用いて酸化膜 17 を所望のパターンに加工する（図 22）。続いて、フォトレジスト 18 を除去する。上記酸化膜 17 をマスクにして RIE（Reactive Ion Etching）法などのドライエッチング法を用いて垂直方向にエッチングし、コントロールゲート 16、第 2 ゲート絶縁膜 15、及びフローティングゲート 14 を順次形成する（図 23）。その後、H₂O を酸化剤としたパーパライザ法や外

部燃焼装置を用いた酸水素燃焼法により、シリコン酸化膜 1 9 を形成する（図 2 4）。このシリコン酸化膜 1 9 の形成時に、オキシナイトライド膜 1 3 のフローティングゲート 1 4 で覆われていない領域の窒素が抜け、窒素濃度が低くなる。この後酸化膜 1 9 を形成した後、ソース、ドレイン領域 2 0 を形成するためにイオン注入によって不純物をシリコン基板 1 1 中に打ち込み、熱アニールにより活性化させてセルトランジスタを形成する（図 2 5）。

【0038】

本実施の形態においては、シリコン酸化膜 1 9 の形成時に、フローティングゲート 1 4 で覆われていないソース、ドレイン領域 2 0 上のオキシナイトライド膜 1 3 中の窒素濃度を低減できるので、後酸化膜 1 9 が生成しやすくなり、コントロールゲート 1 6 とフローティングゲート 1 4 の電極加工時に生じたゲート絶縁膜（オキシナイトライド膜 1 3）のダメージを回復させることができゲート絶縁膜 1 3 中の電子のトラップを減少させることができる。また、図 9 に示したように、フローティングゲート（第 1 ゲート電極）1 4 のトンネル酸化膜 1 3 側のエッジ部 1 4 A を丸めることもでき、電界集中が起こることもない。

【0039】

なお、本実施の形態では、後酸化膜 1 9 の形成をウェット酸化で行っているが、この時の酸化温度は $950^{\circ}\text{C} \sim 1190^{\circ}\text{C}$ の範囲が望ましく、この条件の場合にはオキシナイトライド膜 1 3 中の窒素を約 30% 抜く効果が得られる。

【0040】

図 2 6 は、オキシナイトライド膜 1 3 中の窒素抜け量と酸化方法との関係を示しており、ドライ O_2 酸化に比べてウェット酸化の方が窒素の抜ける率が高く、且つウェット酸化でも酸化温度の上昇に伴って窒素の抜け量が多くなっている。そして、酸化温度が 950°C を越えると、オキシナイトライド膜 1 3 中の窒素を約 30% 抜くことができる。なお、オキシナイトライド膜 1 3 中の好ましい窒素濃度は、 $3 \times 10^{15} \text{ atoms/cm}^2$ 以下である。

【0041】

〔第 4 の実施の形態〕

本実施の形態は、NANDセル型フラッシュメモリにおけるセルトランジスタ

のゲート絶縁膜にオキシナイトライド膜を用いた場合に、電極（コントロールゲートとフローティングゲート）の加工後に、オキシナイトライド膜を剥離し、新たに酸化膜を形成した後、その酸化膜をNH₃ガス、あるいはNOガス、N₂Oガスを用いて窒化し、ゲート電極をドライエッチングした後に、後酸化を高温のウェット酸化膜を形成し、ゲート電極のエッジ部のダメージを改善させた後に、続いて再酸化を行い、オキシナイトライド化するものである。

【0042】

図27乃至図34はそれぞれ、この発明の第4の実施の形態に係る半導体装置の製造方法について説明するためのもので、NANDセル型フラッシュメモリの製造工程の一部を順次示しており、図35に示したセルアレイ構造のパターン平面図におけるA-A'線に沿った断面に対応する。

【0043】

まず、シリコン基板11上に、熱酸化法を用いて厚さ7nmのシリコン酸化膜12を形成する（図27）。シリコン酸化膜12をNH₃ガス、NOガスあるいはN₂Oガスを用いて窒化した後、酸化することでオキシナイトライド膜13とする（図28）。このオキシナイトライド膜13は第1ゲート絶縁膜（トンネル酸化膜）として働く。更に、上記オキシナイトライド膜13上に、LPCVD法を用いて不純物としてリンが添加された厚さ200nmの多結晶シリコン膜14を形成する。この多結晶シリコン膜14は第1ゲート電極（フローティングゲート）となる。続いて、多結晶シリコン膜14上にLPCVD法を用いて、膜厚120nmの第2ゲート絶縁膜15を形成する。次に、第2ゲート絶縁膜15上にLPCVD法を用いて不純物としてリンが添加されて多結晶シリコン膜16を形成する。この多結晶シリコン膜16は第2ゲート電極（コントロールゲート）となる。上記多結晶シリコン膜16上に、LPCVD法で酸化膜7を形成する（図29）。更に、酸化膜17上にフォトレジスト18を塗布し、写真蝕刻法を用いて酸化膜17を所望のパターンに加工する（図30）。続いて、フォトレジスト18を除去する。上記酸化膜17をマスクにしてRIE（Reactive Ion Etching）法などのドライエッチング法を用いて垂直方向にエッチングし、コントロールゲート16、第2ゲート絶縁膜15、及びフローティングゲート14を順次形成

する（図 3 1）。その後、 H_2O を酸化剤としたパーパライザ法や外部燃焼総理を用いた酸水素燃焼法により、シリコン酸化膜 19 を形成する（図 3 2）。この後酸化膜 19 を形成した後、酸化膜 19 を NH_3 ガスあるいは NO ガス、 N_2O ガスを用いて窒化を行いオキシナイトライド膜 19' とする（図 3 3）。その後、ソース、ドレイン領域 20 を形成するためにイオン注入によって不純物をシリコン基板 11 中に打ち込み、熱アニールにより活性化させセルトランジスタを形成する（図 3 4）。

【0044】

本実施の形態において、シリコン酸化膜 19 の形成時に、フローティングゲート 14 で覆われていないソース、ドレイン領域 20 上のオキシナイトライド膜 13 中の窒素濃度を低減できるので、後酸化膜 19 が生成しやすくなり、コントロールゲート 16 とフローティングゲート 14 の電極加工時に生じたゲート絶縁膜 13 のダメージを回復させることができる。また、図 9 に示したように、フローティングゲート（第 1 ゲート電極）14 のゲート絶縁膜 13 側のエッジ部 14 A を丸めることもでき、電界集中が起こることもない。また、後酸化膜 19 をオキシナイトライド化することで、フローティングゲート 14 のエッジ部 14 A の形状を改善させた後のエッジ部 14 A 近傍の後酸化膜 19' は、窒素が抜けているため再度窒素を混入することができ、ゲート絶縁膜 13 中の電子のトラップを減少させることができる。

【0045】

【発明の効果】

以上説明したように、この発明によれば、熱窒化膜をゲート絶縁膜として用いた場合に、ゲート電極の加工の時に生じたゲート絶縁膜のダメージにより、ゲート絶縁膜中に電子がトラップされて電流量が低下したり、ゲート絶縁膜の一部に電界が集中して劣化が加速されるのを防止できる半導体装置の製造方法が得られる。

【0046】

また、後熱工程による酸化膜の形成を促進でき、メモリセルや MOS トランジスタの性能を向上させ、且つ歩留まりや信頼性を向上できる半導体装置の製造方

法が得られる。

【図面の簡単な説明】

【図 1】

この発明の第 1 の実施の形態に係る半導体装置の製造方法について説明するためのもので、NANDセル型フラッシュメモリのセルアレイ構造の第 1 の製造工程を示す断面図。

【図 2】

この発明の第 1 の実施の形態に係る半導体装置の製造方法について説明するためのもので、NANDセル型フラッシュメモリのセルアレイ構造の第 2 の製造工程を示す断面図。

【図 3】

この発明の第 1 の実施の形態に係る半導体装置の製造方法について説明するためのもので、NANDセル型フラッシュメモリのセルアレイ構造の第 3 の製造工程を示す断面図。

【図 4】

この発明の第 1 の実施の形態に係る半導体装置の製造方法について説明するためのもので、NANDセル型フラッシュメモリのセルアレイ構造の第 4 の製造工程を示す断面図。

【図 5】

この発明の第 1 の実施の形態に係る半導体装置の製造方法について説明するためのもので、NANDセル型フラッシュメモリのセルアレイ構造の第 5 の製造工程を示す断面図。

【図 6】

この発明の第 1 の実施の形態に係る半導体装置の製造方法について説明するためのもので、NANDセル型フラッシュメモリのセルアレイ構造の第 6 の製造工程を示す断面図。

【図 7】

この発明の第 1 の実施の形態に係る半導体装置の製造方法について説明するためのもので、NANDセル型フラッシュメモリのセルアレイ構造の第 7 の製造工

程を示す断面図。

【図 8】

この発明の第 1 の実施の形態に係る半導体装置の製造方法について説明するためのもので、NANDセル型フラッシュメモリのセルアレイ構造の第 8 の製造工程を示す断面図。

【図 9】

この発明の製造工程で形成した場合のセルトランジスタにおけるフローティングゲート近傍の拡大断面図。

【図 1 0】

この発明の第 2 の実施の形態に係る半導体装置の製造方法について説明するためのもので、NANDセル型フラッシュメモリのセルアレイ構造の第 1 の製造工程を示す断面図。

【図 1 1】

この発明の第 2 の実施の形態に係る半導体装置の製造方法について説明するためのもので、NANDセル型フラッシュメモリのセルアレイ構造の第 2 の製造工程を示す断面図。

【図 1 2】

この発明の第 2 の実施の形態に係る半導体装置の製造方法について説明するためのもので、NANDセル型フラッシュメモリのセルアレイ構造の第 3 の製造工程を示す断面図。

【図 1 3】

この発明の第 2 の実施の形態に係る半導体装置の製造方法について説明するためのもので、NANDセル型フラッシュメモリのセルアレイ構造の第 4 の製造工程を示す断面図。

【図 1 4】

この発明の第 2 の実施の形態に係る半導体装置の製造方法について説明するためのもので、NANDセル型フラッシュメモリのセルアレイ構造の第 5 の製造工程を示す断面図。

【図 1 5】

この発明の第 2 の実施の形態に係る半導体装置の製造方法について説明するためのもので、NANDセル型フラッシュメモリのセルアレイ構造の第 6 の製造工程を示す断面図。

【図 1 6】

この発明の第 2 の実施の形態に係る半導体装置の製造方法について説明するためのもので、NANDセル型フラッシュメモリのセルアレイ構造の第 7 の製造工程を示す断面図。

【図 1 7】

この発明の第 2 の実施の形態に係る半導体装置の製造方法について説明するためのもので、NANDセル型フラッシュメモリのセルアレイ構造の第 8 の製造工程を示す断面図。

【図 1 8】

この発明の第 2 の実施の形態に係る半導体装置の製造方法について説明するためのもので、NANDセル型フラッシュメモリのセルアレイ構造の第 9 の製造工程を示す断面図。

【図 1 9】

この発明の第 3 の実施の形態に係る半導体装置の製造方法について説明するためのもので、NANDセル型フラッシュメモリのセルアレイ構造の第 1 の製造工程を示す断面図。

【図 2 0】

この発明の第 3 の実施の形態に係る半導体装置の製造方法について説明するためのもので、NANDセル型フラッシュメモリのセルアレイ構造の第 2 の製造工程を示す断面図。

【図 2 1】

この発明の第 3 の実施の形態に係る半導体装置の製造方法について説明するためのもので、NANDセル型フラッシュメモリのセルアレイ構造の第 3 の製造工程を示す断面図。

【図 2 2】

この発明の第 3 の実施の形態に係る半導体装置の製造方法について説明するた

めのもので、NANDセル型フラッシュメモリのセルアレイ構造の第4の製造工程を示す断面図。

【図 2 3】

この発明の第3の実施の形態に係る半導体装置の製造方法について説明するためのもので、NANDセル型フラッシュメモリのセルアレイ構造の第5の製造工程を示す断面図。

【図 2 4】

この発明の第3の実施の形態に係る半導体装置の製造方法について説明するためのもので、NANDセル型フラッシュメモリのセルアレイ構造の第6の製造工程を示す断面図。

【図 2 5】

この発明の第3の実施の形態に係る半導体装置の製造方法について説明するためのもので、NANDセル型フラッシュメモリのセルアレイ構造の第7の製造工程を示す断面図。

【図 2 6】

オキシナイトライド膜中の窒素抜け量と酸化方法との関係を示す図。

【図 2 7】

この発明の第4の実施の形態に係る半導体装置の製造方法について説明するためのもので、NANDセル型フラッシュメモリのセルアレイ構造の第1の製造工程を示す断面図。

【図 2 8】

この発明の第4の実施の形態に係る半導体装置の製造方法について説明するためのもので、NANDセル型フラッシュメモリのセルアレイ構造の第2の製造工程を示す断面図。

【図 2 9】

この発明の第4の実施の形態に係る半導体装置の製造方法について説明するためのもので、NANDセル型フラッシュメモリのセルアレイ構造の第3の製造工程を示す断面図。

【図 3 0】

この発明の第 4 の実施の形態に係る半導体装置の製造方法について説明するためのもので、NANDセル型フラッシュメモリのセルアレイ構造の第 4 の製造工程を示す断面図。

【図 3 1】

この発明の第 4 の実施の形態に係る半導体装置の製造方法について説明するためのもので、NANDセル型フラッシュメモリのセルアレイ構造の第 5 の製造工程を示す断面図。

【図 3 2】

この発明の第 4 の実施の形態に係る半導体装置の製造方法について説明するためのもので、NANDセル型フラッシュメモリのセルアレイ構造の第 6 の製造工程を示す断面図。

【図 3 3】

この発明の第 4 の実施の形態に係る半導体装置の製造方法について説明するためのもので、NANDセル型フラッシュメモリのセルアレイ構造の第 7 の製造工程を示す断面図。

【図 3 4】

この発明の第 4 の実施の形態に係る半導体装置の製造方法について説明するためのもので、NANDセル型フラッシュメモリのセルアレイ構造の第 8 の製造工程を示す断面図。

【図 3 5】

NANDセル型フラッシュメモリのセルアレイ構造を示すパターン平面図。

【図 3 6】

NANDセル型フラッシュメモリにおけるセルアレイの等価回路図。

【図 3 7】

従来の半導体装置の製造方法について説明するためのもので、NANDセル型フラッシュメモリにおけるセルアレイの第 1 の製造工程を示す断面図。

【図 3 8】

従来の半導体装置の製造方法について説明するためのもので、NANDセル型フラッシュメモリにおけるセルアレイの第 2 の製造工程を示す断面図。

【図 3 9】

従来の半導体装置の製造方法について説明するためのもので、NANDセル型フラッシュメモリにおけるセルアレイの第 3 の製造工程を示す断面図。

【図 4 0】

従来の半導体装置の製造方法について説明するためのもので、NANDセル型フラッシュメモリにおけるセルアレイの第 4 の製造工程を示す断面図。

【図 4 1】

従来の半導体装置の製造方法について説明するためのもので、NANDセル型フラッシュメモリにおけるセルアレイの第 5 の製造工程を示す断面図。

【図 4 2】

従来の半導体装置の製造方法について説明するためのもので、NANDセル型フラッシュメモリにおけるセルアレイの第 6 の製造工程を示す断面図。

【図 4 3】

従来の半導体装置の製造方法について説明するためのもので、NANDセル型フラッシュメモリにおけるセルアレイの第 7 の製造工程を示す断面図。

【図 4 4】

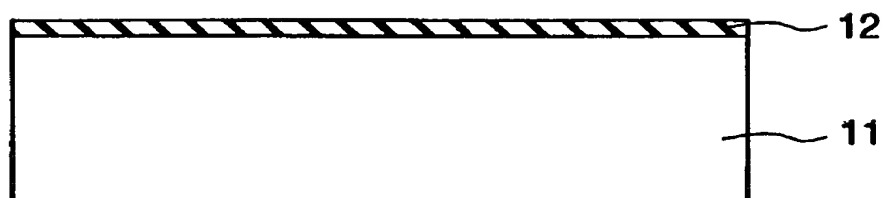
従来の製造工程で形成した場合のセルトランジスタにおけるフローティングゲート近傍の拡大断面図。

【符号の説明】

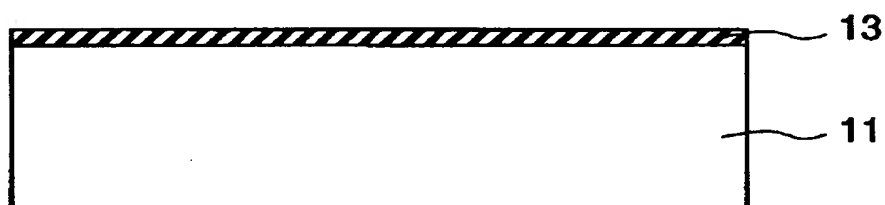
- 1 1 …シリコン基板、
- 1 2 …シリコン酸化膜、
- 1 3 …オキシナイトライド膜（第 1 ゲート絶縁膜）、
- 1 4 …多結晶シリコン膜（フローティングゲート）、
- 1 5 …第 2 ゲート絶縁膜、
- 1 6 …多結晶シリコン膜（コントロールゲート）、
- 1 7 …酸化膜、
- 1 8 …フォトレジスト、
- 1 9 …シリコン酸化膜（後酸化膜）、
- 2 0 …ソース、ドレイン領域。

【書類名】 図面

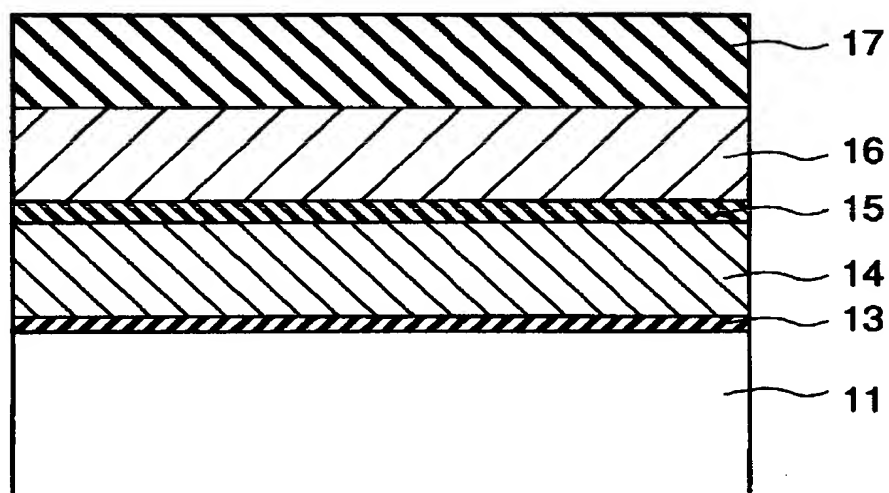
【図 1】



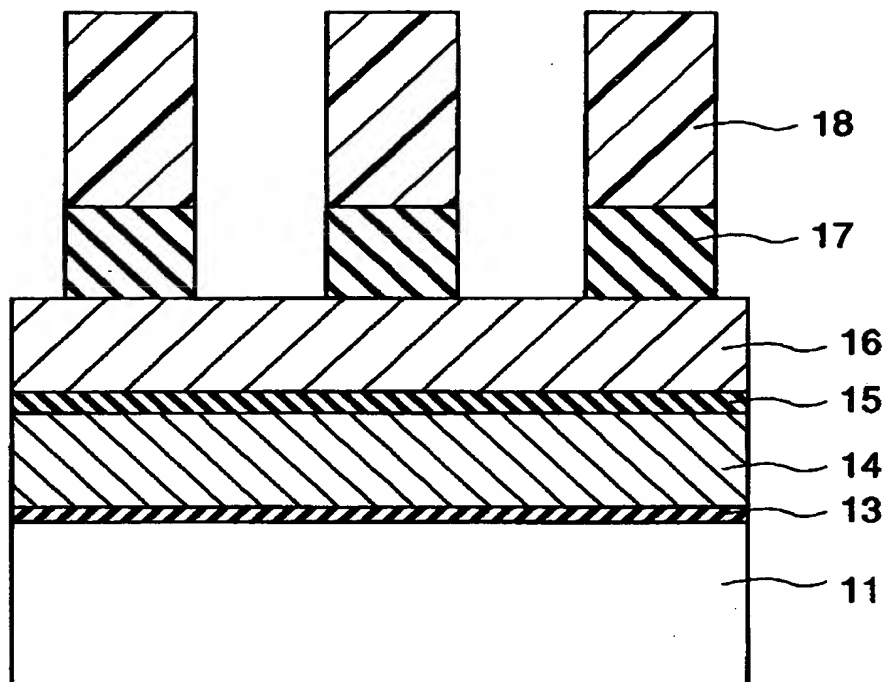
【図 2】



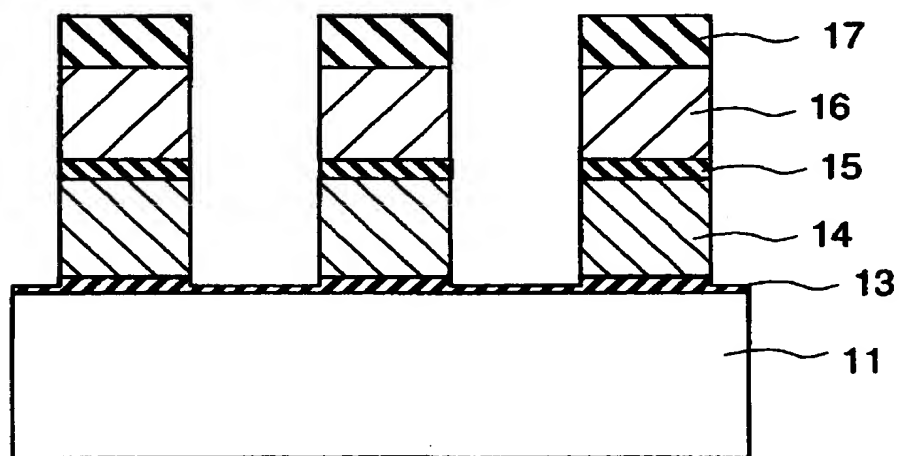
【図 3】



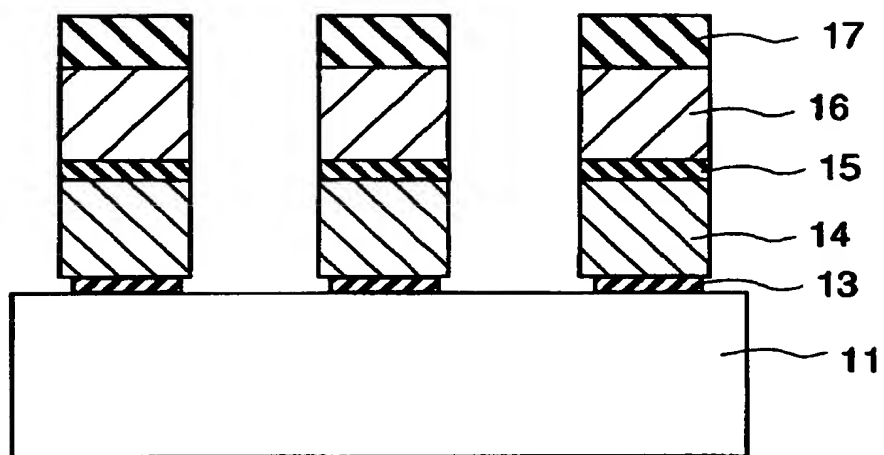
【図 4】



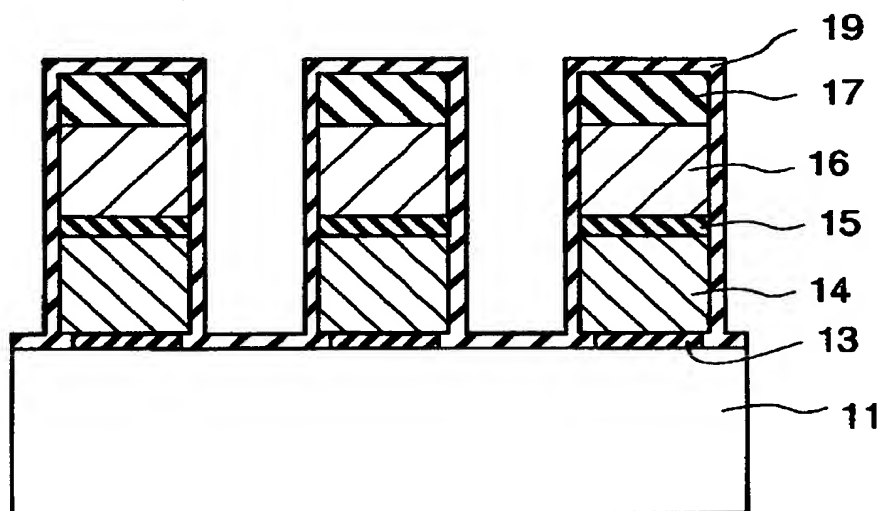
【図 5】



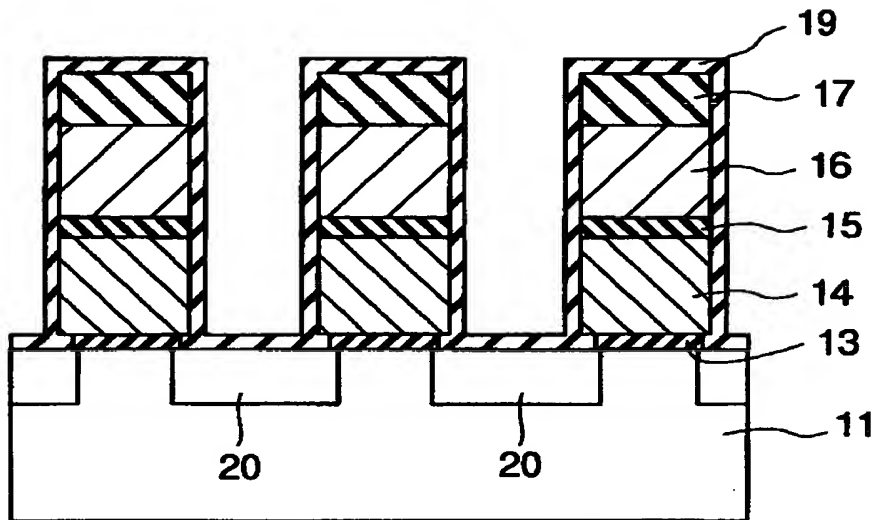
【図 6】



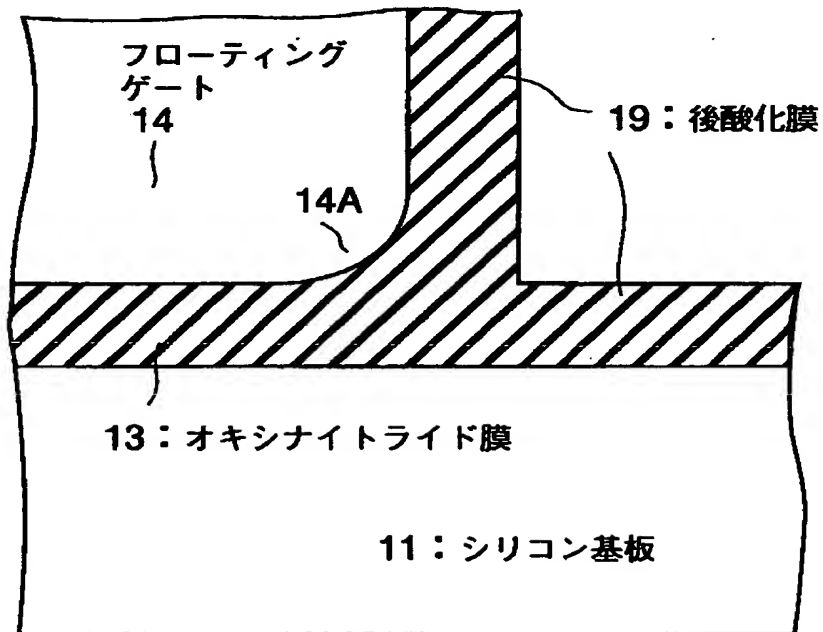
【図 7】



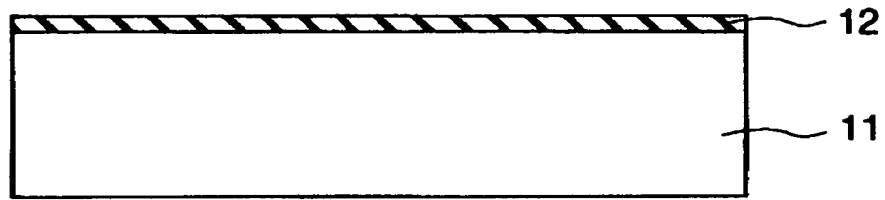
【図 8】



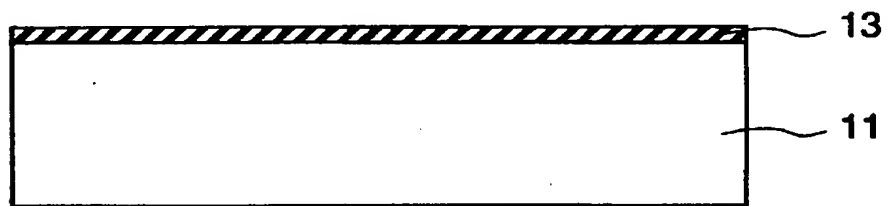
【図 9】



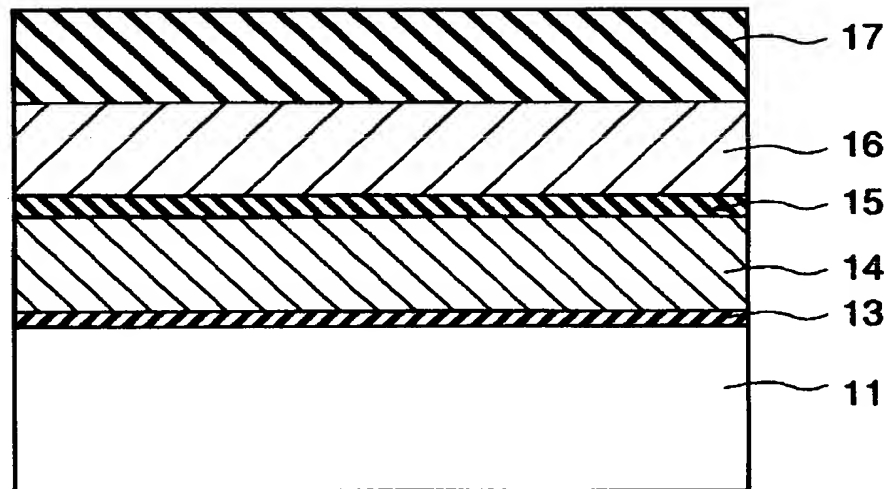
【図 1 0】



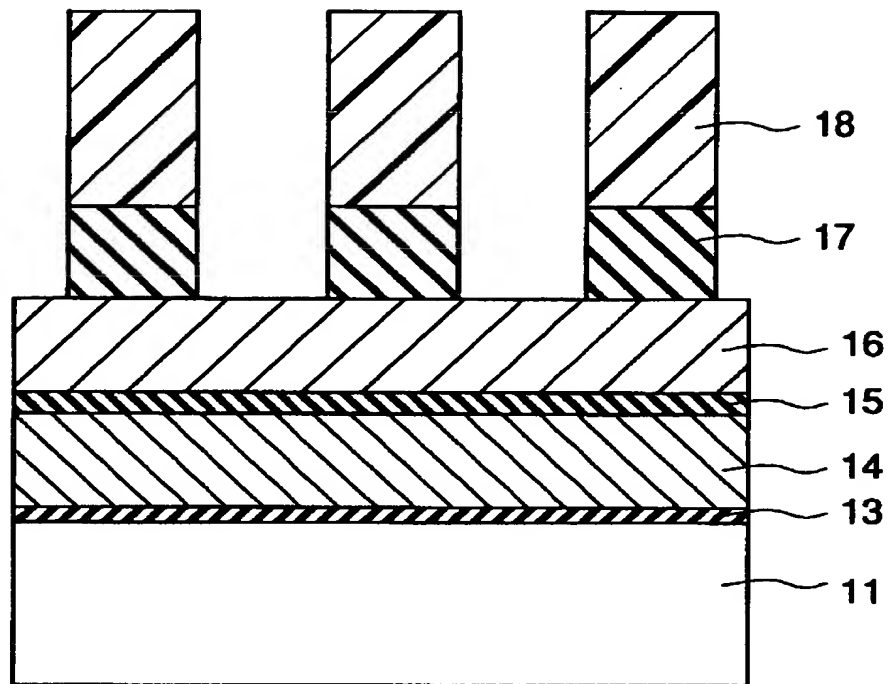
【図 1 1】



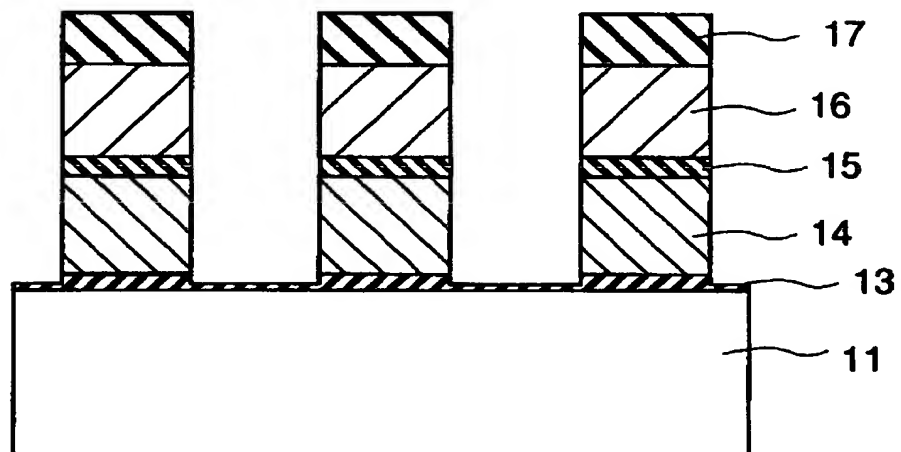
【図 1 2】



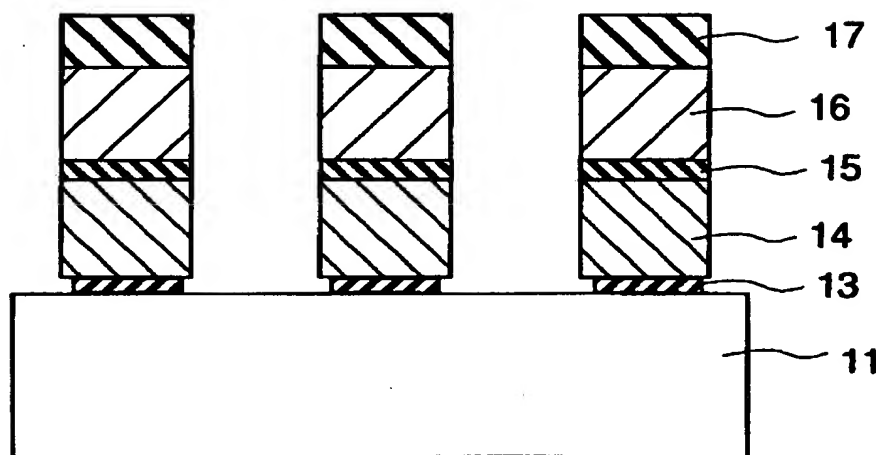
【図 1 3】



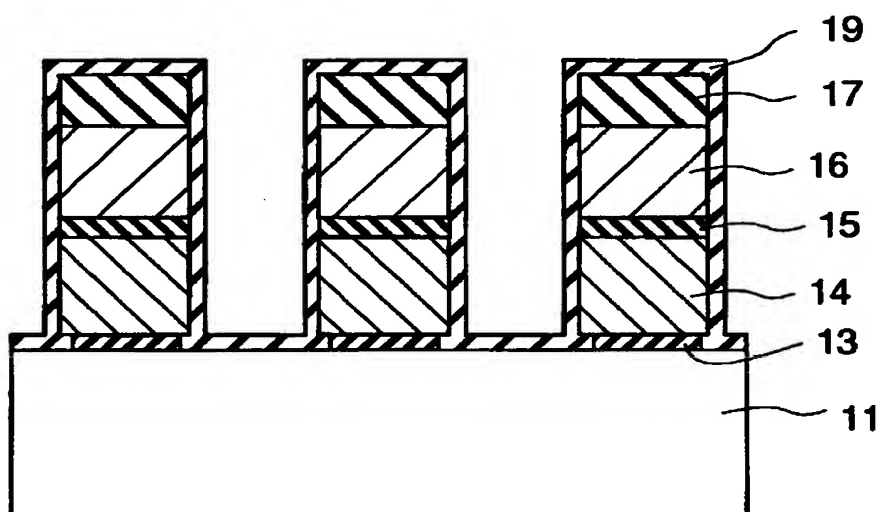
【図 1 4】



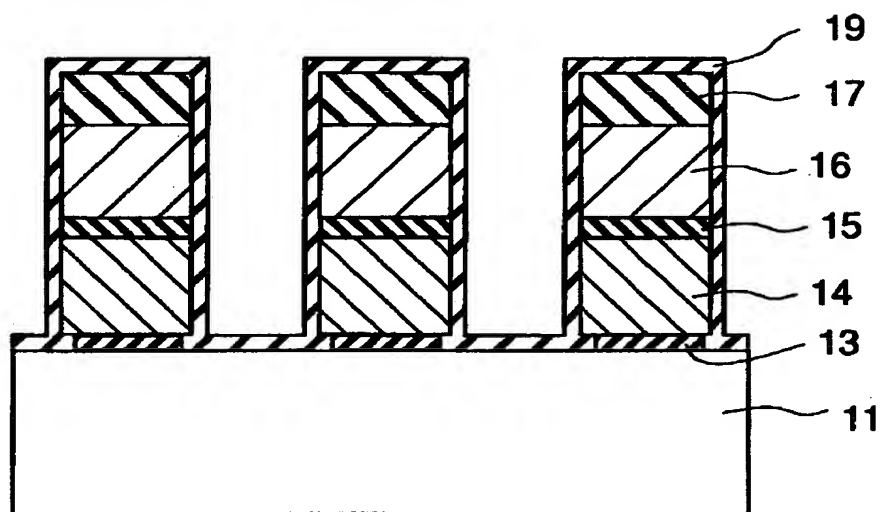
【図 1 5】



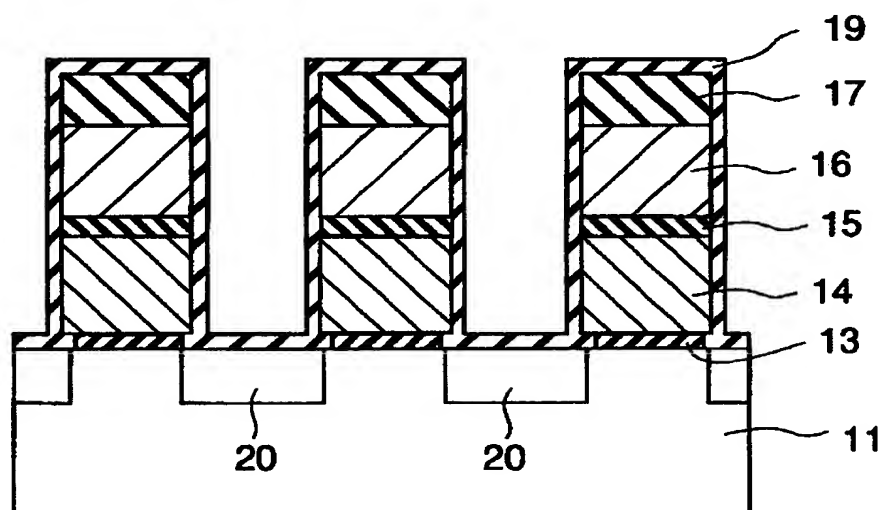
【図 1 6】



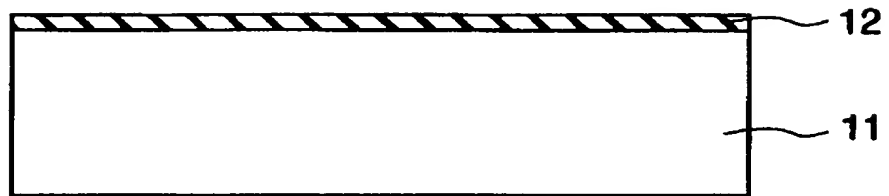
【図 1 7】



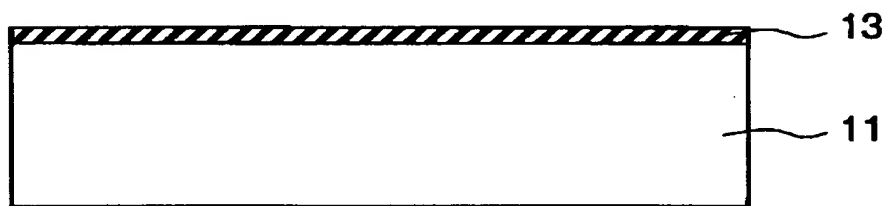
【図 1 8】



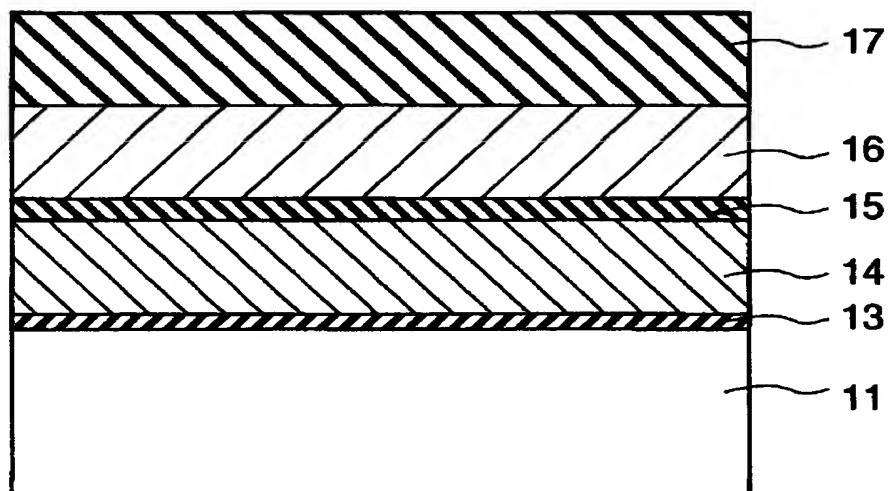
【図 1 9】



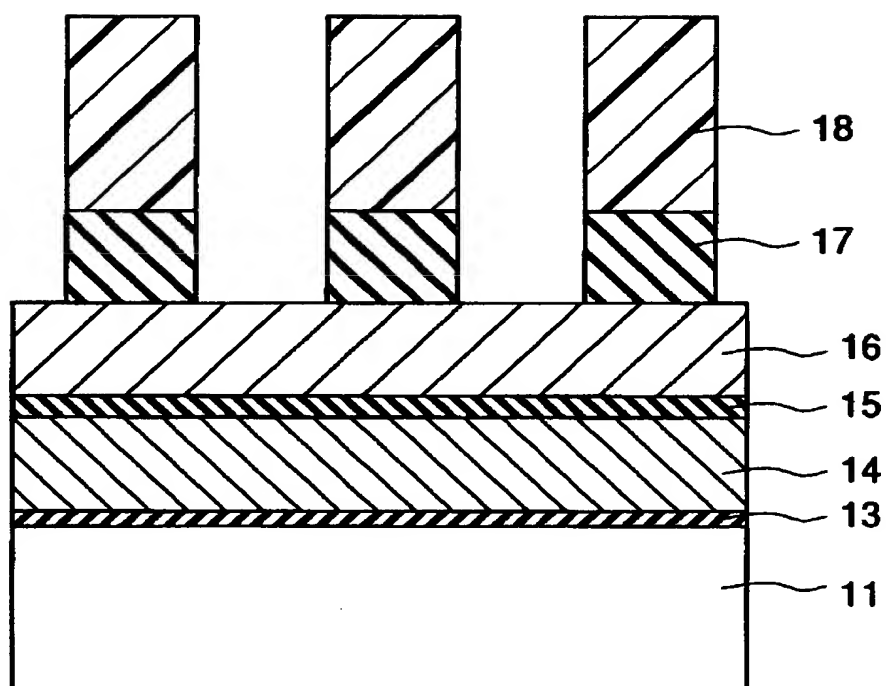
【図 2 0】



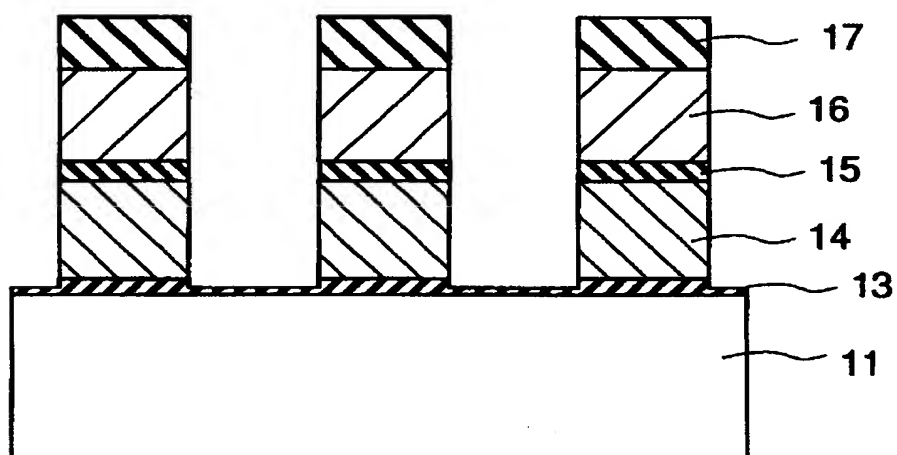
【図 2 1】



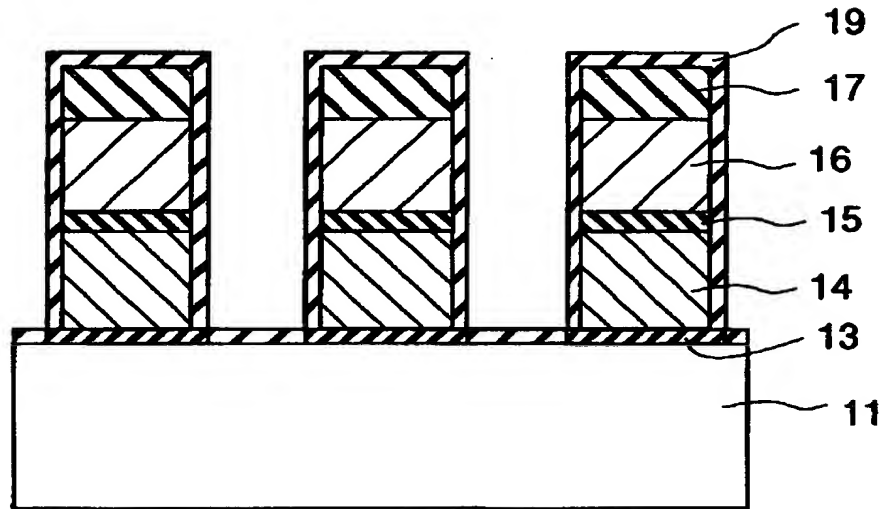
【図 2 2】



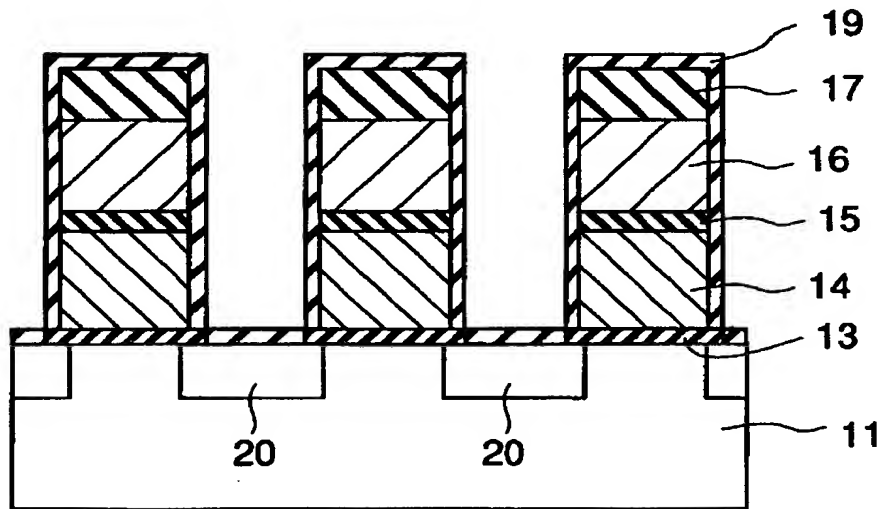
【図 2 3】



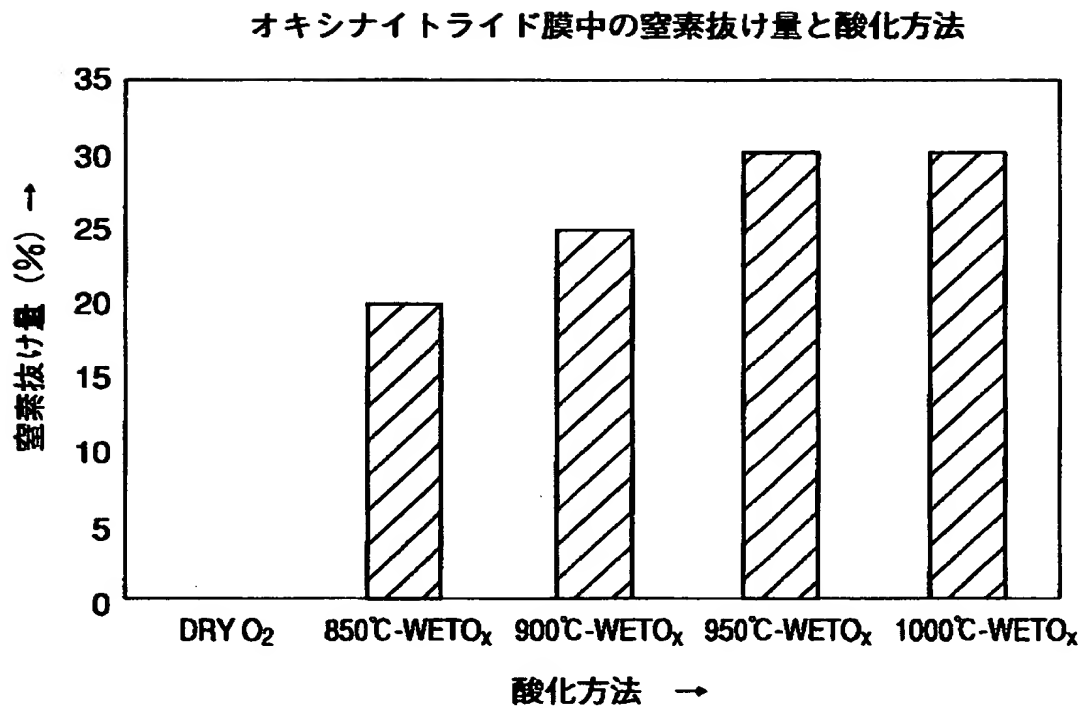
【図 2 4】



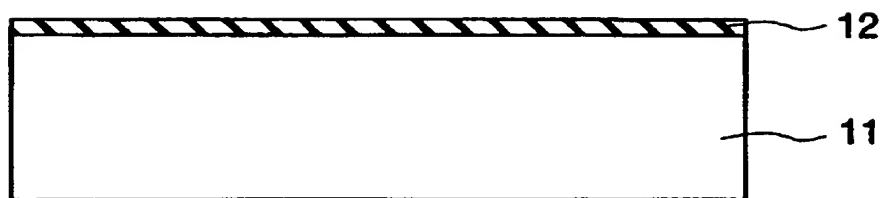
【図 2 5】



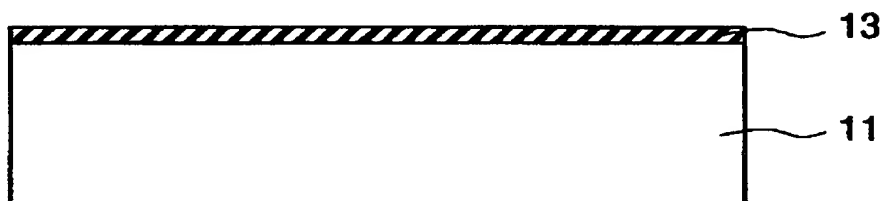
【図 2 6】



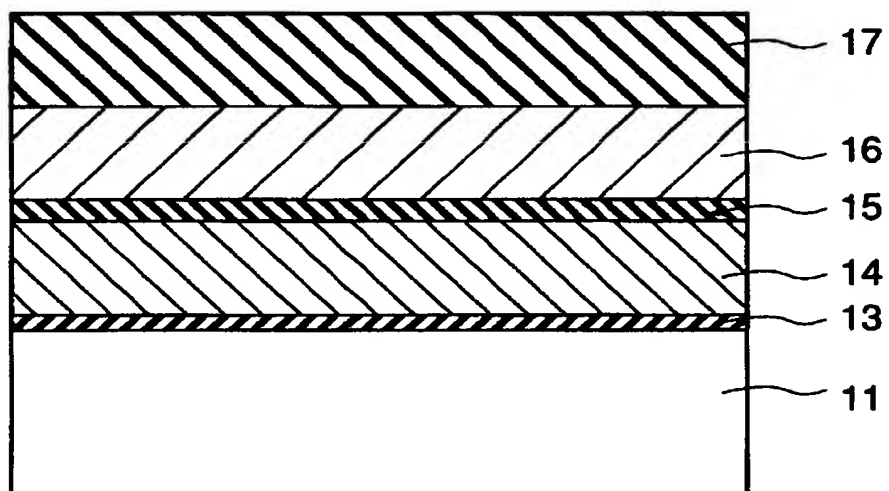
【図 2 7】



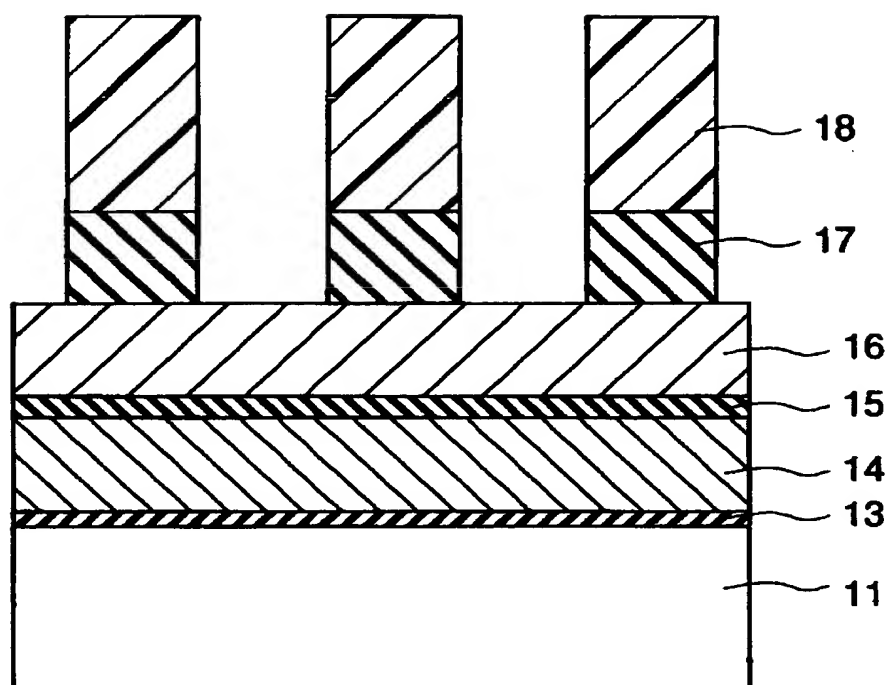
【図 2 8】



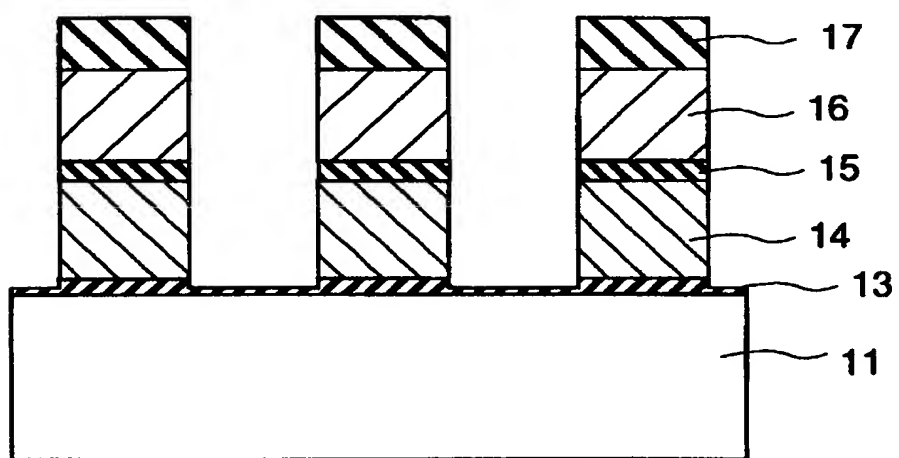
【図 2 9】



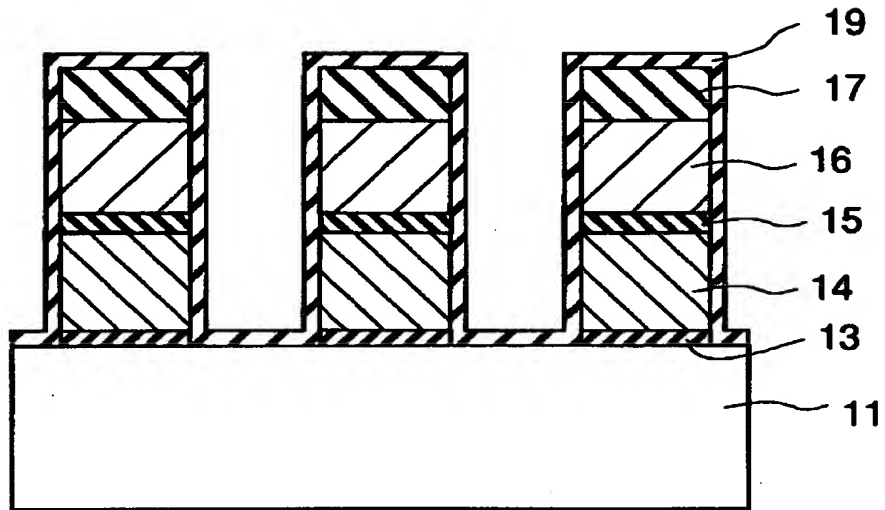
【図 3 0】



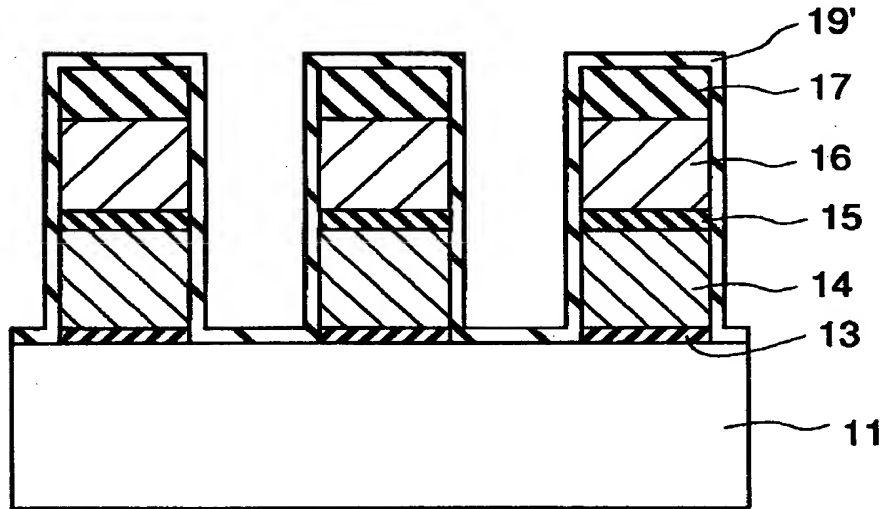
【図 3 1】



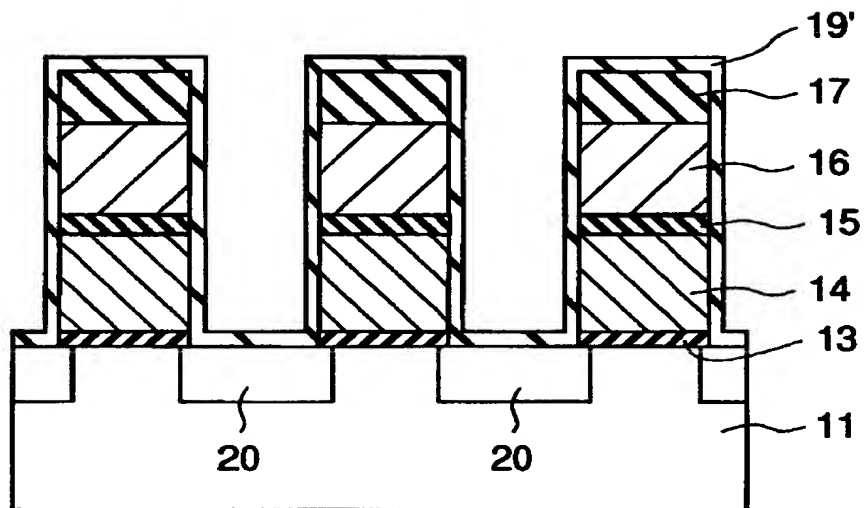
【図 3 2】



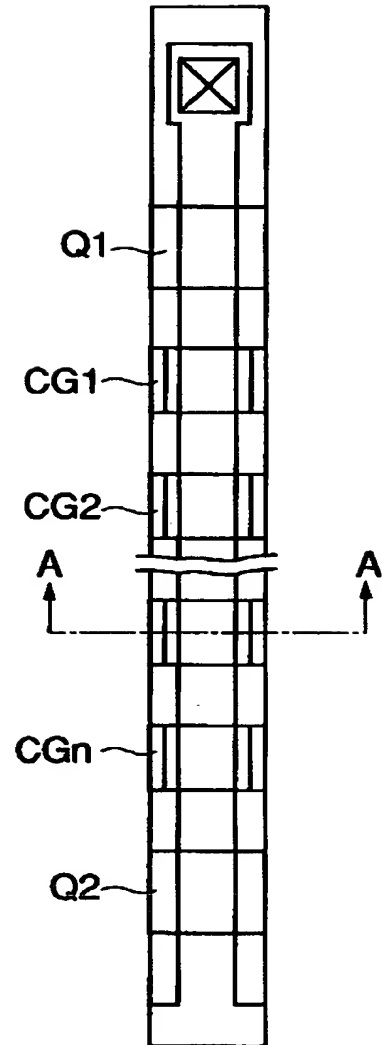
【図 3 3】



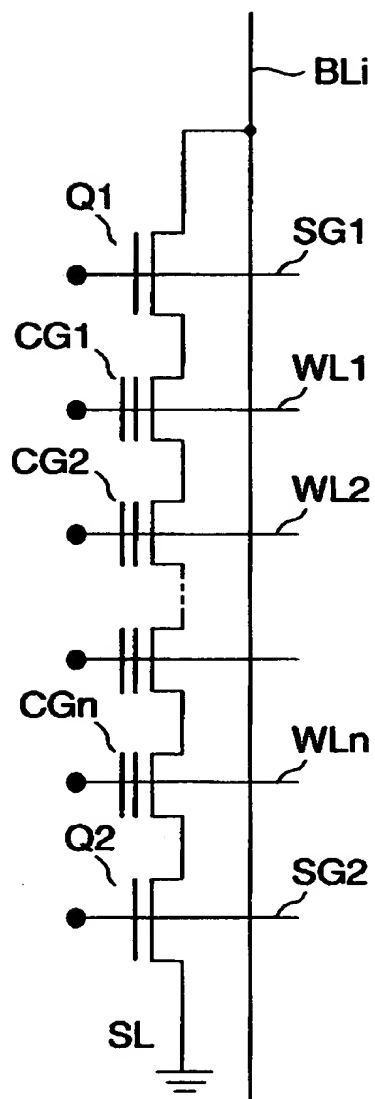
【図 3 4】



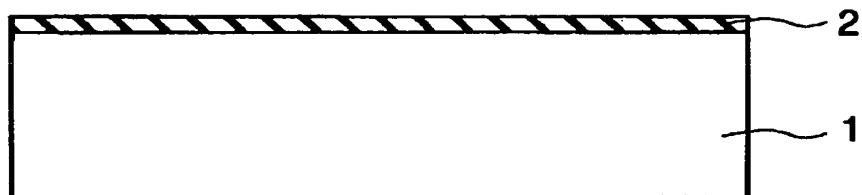
【図 3 5】



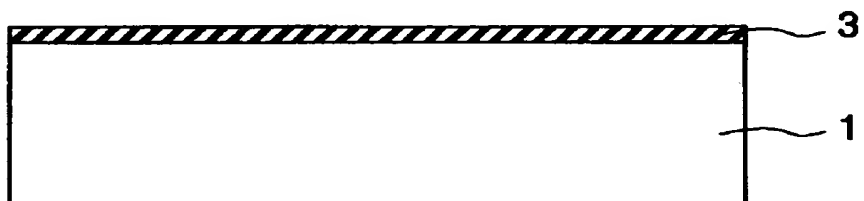
【図 3 6】



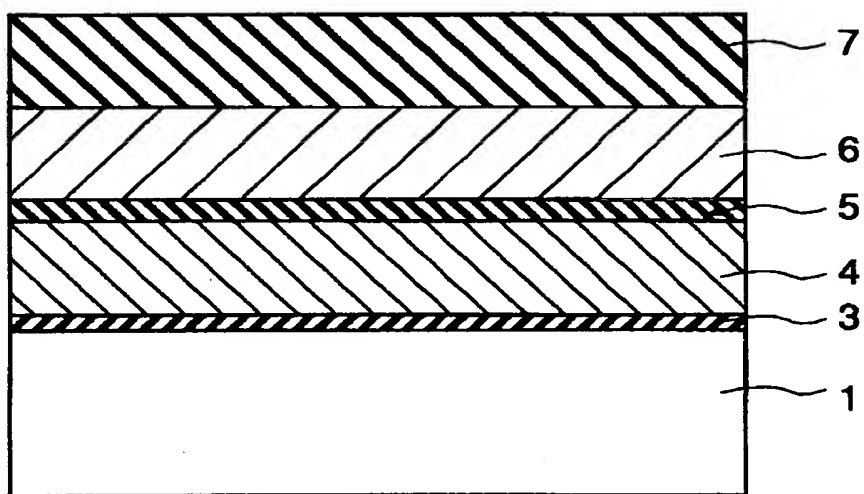
【図 3 7】



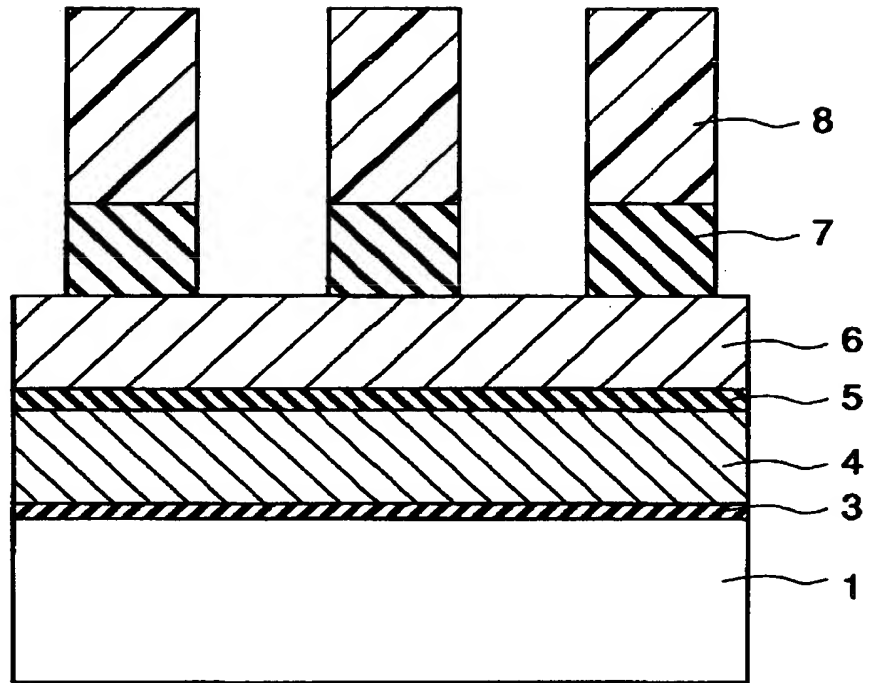
【図 3 8】



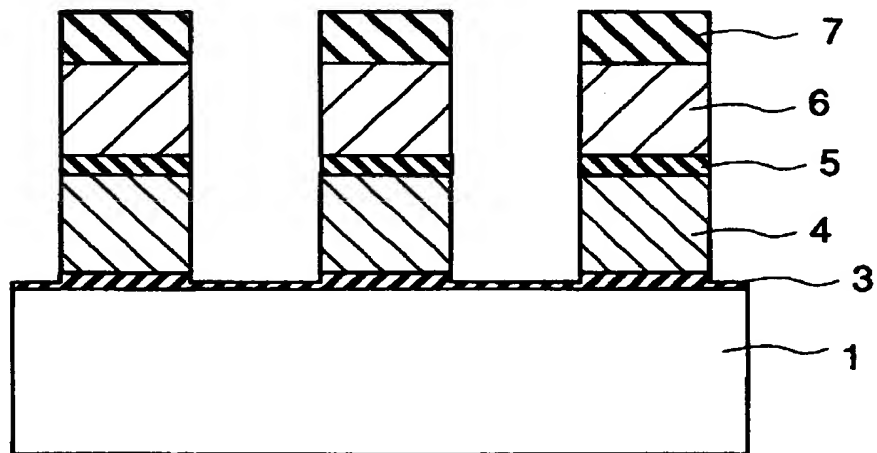
【図 3 9】



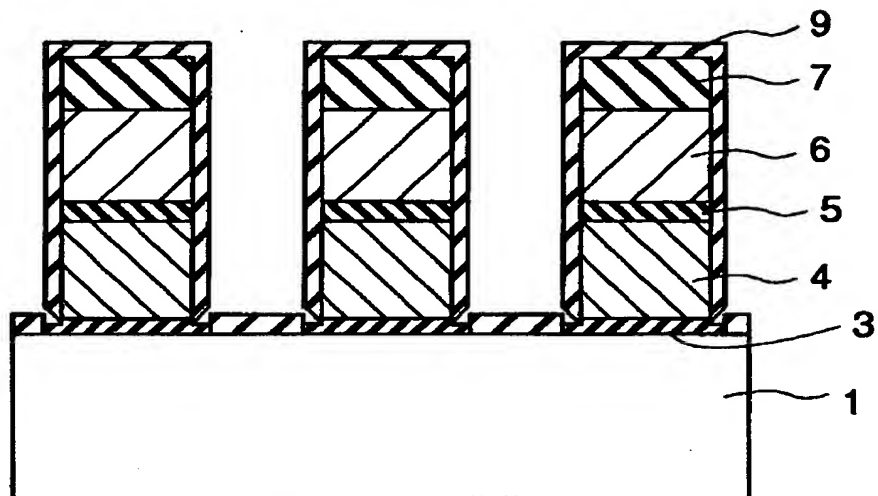
【図 4 0】



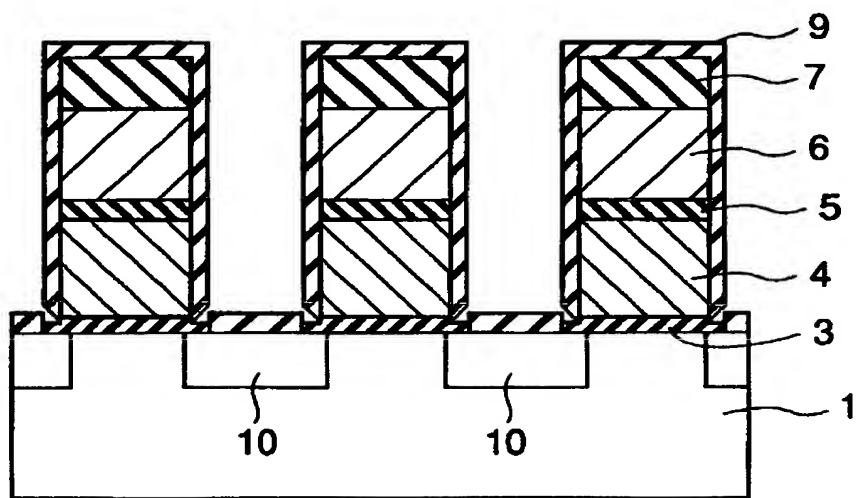
【図 4 1】



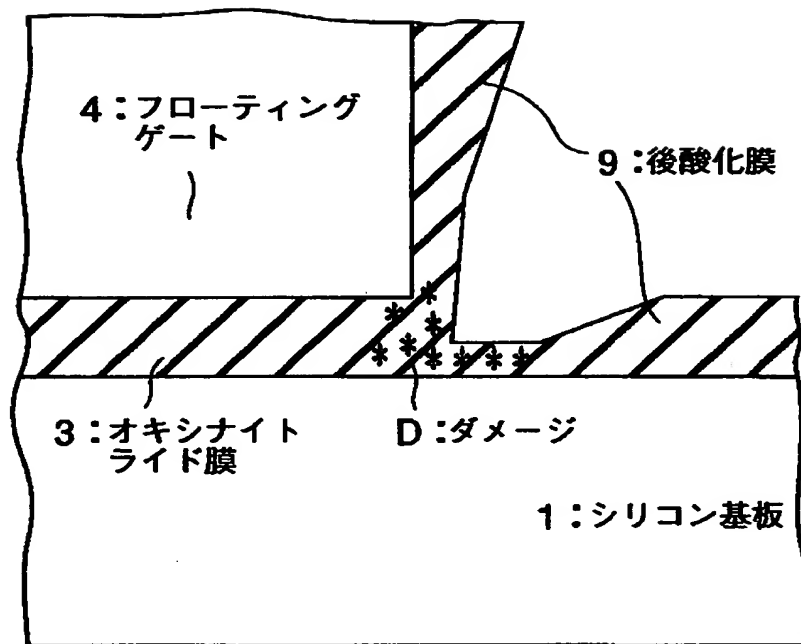
【図 4 2】



【図 4 3】



【図 4 4】



【書類名】 要約書

【要約】

【課題】 熱窒化膜をゲート絶縁膜として用いた場合に、ゲート電極の加工の時に生じたゲート絶縁膜のダメージを回復できる半導体装置の製造方法を提供することを目的としている。

【解決手段】 シリコン基板 1 1 上に熱窒化膜をゲート絶縁膜 1 3 として形成し、この絶縁膜上にゲート電極材を形成した後、パターニングしてゲート電極 1 4 を形成する。この電極加工後、ゲート電極下以外のゲート絶縁膜 1 3 を除去することでその後の酸化を容易にすることを特徴としている。また、上記電極下以外のゲート絶縁膜を除去した後の酸化は、高温のウェット酸化で行うことを特徴としている。新たに形成したゲート絶縁膜を熱窒化することで後熱工程による劣化が小さい膜にでき、ゲート絶縁膜中に電子がトラップされて電流量が低下したり、ゲート絶縁膜の一部に電界が集中して劣化が加速されるのを防止できる。

【選択図】 図 6

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 3 0 7 8]

1. 変更年月日	1 9 9 0 年 8 月 2 2 日
[変更理由]	新規登録
住 所	神奈川県川崎市幸区堀川町 7 2 番地
氏 名	株式会社東芝

出 願 人 履 歴 情 報

識別番号 [0 0 0 2 2 1 1 9 9]

1. 変更年月日	1 9 9 0 年 8 月 2 3 日
[変更理由]	新規登録
住 所	神奈川県川崎市川崎区駅前本町 2 5 番地 1
氏 名	東芝マイクロエレクトロニクス株式会社